

纳米工艺下考虑缓冲器传热效应的集成电路互连线 温度分布模型及缓冲器插入位置优化分析

王新胜^{1,2}, 韩 良², 刘海龙², 喻明艳^{1,2}

(1 哈尔滨工业大学 航天学院, 黑龙江 哈尔滨 150001; 2 哈尔滨工业大学 威海校区, 山东 威海 264209)

摘 要: 分析了温度对互连线上缓冲器插入的影响, 提出了考虑介质、通孔和缓冲器传热效应的互连线温度分布模型. 基于此模型使用 45 nm 互连工艺参数计算了单层和多层互连线的温度分布. 结果显示, 考虑缓冲器传热时多层互连中局部互连线温度受缓冲器影响不大, 全局互连线温度受缓冲器影响显著, 与介质传热模型相比温度降低超过 10 摄氏度. 温度变化对缓冲器插入位置有显著影响, 利用提出的互连线温度模型, 在衬底温度梯度分布、1.5 mm 互连线长和单个缓冲器插入条件下, 与均匀插入缓冲器相比, 位置变化幅度超过 10%.

关键词: 纳米及互连线; 缓冲器传热; 温度分布模型; 缓冲器分布

中图分类号: TN405.97

文献标识码: A

文章编号: 1000-7180(2013)12-0041-06

Integrated Circuit Interconnect Wire Temperature Distribution Model Considering Buffer Heat Transfer and Buffer Location Optimization Analysis under Nanometer Process Condition

WANG Xin-sheng^{1,2}, HAN Liang², LIU Hai-long², YU Ming-yan^{1,2}

(1 School of Astronautics, Harbin Institute of Technology, Harbin 150001, China;

2 Harbin Institute of Technology at Weihai, Weihai 264209, China)

Abstract: This paper analyzes the impact of temperature on the interconnect buffer insertion, and proposes an interconnect temperature distribution new model considering the dielectrics, vias, and buffers heat transfer effect. Single and multi-layer interconnect temperature distributions are calculated using 45 nm process parameters based on the new model. The results show that the local interconnect line temperatures are affected a little by buffer heat transfer, while the global interconnect lines are subject to significantly affected and lower 10 degrees Celsius than the dielectric heat transfer model. Moreover, the temperature has a significant effect on buffer insertion locations. Considering the substrate temperature gradient distribution, the location changes more than 10% compared to uniform buffer insertion under 1.5 mm interconnect wire length.

Key words: nanometer interconnect wire; buffer heat transfer; temperature distribution model; buffer location distribution

1 引言

随着半导体技术的发展和特征尺寸的缩小, 互连线已经成为决定大规模集成电路系统性能和功耗的主要因素. 随着特征尺寸不断缩小, 芯片尺寸每年增加 12%^[1], 互连线总长度、均方根电流逐渐增

加, 互连层数不断增多, 这些都使互连线变得越来越重要. 现在的集成电路设计已经由器件占主导转变为互连占主导^[2-3]. 同时, 温度正成为影响芯片性能和可靠性的主要方面, 特别是互连线温度持续升高已经成为限制高性能集成电路的一个主要因素.

与器件功耗相比, 全局互连线自热效应产生的

热量虽然较少,但是因为远离衬底,热量无法及时扩散出去,造成互连线温度快速升高,互连线延时增大,信号的可靠性降低^[4].此外,为了减少串扰和延时而使用导热性差的低介电常数材料,会进一步恶化互连线的温度环境^[5].因此研究更加精确的互连线温度分布模型显得十分迫切.针对顶层互连线向衬底传导热量的机理,文献[6]中提出了基于互连线层间通过介质向下层传导热量的温度分布模型,这种模型忽略了通孔的热传导作用,在互连线长度较短时其精度降低,并且只能计算顶层互连线的温度分布.文献[7-9]中虽然考虑了通孔的作用,但是忽略了电路互连中为了减小信号的传播延时而插入的大量缓冲器对互连线温度的影响.

本文首先分析考虑通孔效应和边缘传热效应的全局互连线温度分布模型,在此基础上,考虑缓冲器对互连线热量的传导作用,推导出综合考虑边缘传热效应、通孔效应和缓冲器传热效应的温度分布模型,并基于 45 nm 工艺参数计算不同长度单层和多层互连线的温度分布.基于此温度分布模型,使用分布式 RC 延时模型,分析温度分布对缓冲器插入位置的影响.

2 考虑缓冲器传热的温度分布模型

考虑如图 1 所示单层互连线,线的两端由通孔连接到下端的衬底上,互连线的中间插入 k 个缓冲器,其相应的位置为 x_i ,每段互连线的长度为 $(x_i - x_{i-1})$ $i = 1, 2, \dots, k+1$, w_m 为金属互连线的宽度, t_m 为互连线的厚度,而 L_i 表示金属互连线的长度, t_{ms} 代表相邻两层互连线间的介质厚度.

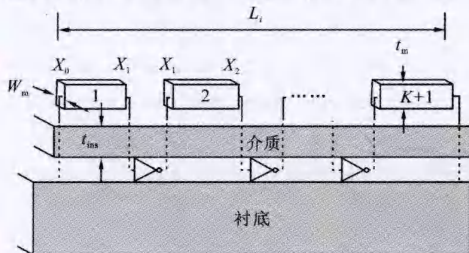


图1 互连线结构示意图

在 $3D(x, y, z)$ 空间中,固体材料在任意位置和时刻的温度分布都可以由热扩散方程式(1)表示^[10]:

$$\frac{\partial}{\partial x} \left(k \frac{\partial T}{\partial x} \right) + \frac{\partial}{\partial y} \left(k \frac{\partial T}{\partial y} \right) + \frac{\partial}{\partial z} \left(k \frac{\partial T}{\partial z} \right) + Q^* = \rho c_p \frac{\partial T}{\partial t} \quad (1)$$

式中, T 为温度,是位置和时间的函数. k 是材料的

热导率,随温度变化 $[W/(m \cdot ^\circ C)]$; Q^* 表示单位体积内产生的有效热量 (W/m^3) ,即单位体积内产生的热量 P_g 与传导热量 P_i 的差值; ρ 为材料的密度 (kg/m^3) , c_p 表示材料的比热容 $[J/(kg \cdot ^\circ C)]$.

在 ULSI 分析中 k 的变化很小,可以假设热导率 k 是一个常数^[5].此外,全局互连线的长度 L_i 一般远大于本身的厚度 t_m 和宽度 w_m ,并且金属的热导率远大于空气和二氧化硅的热导率(铜、铝的热导率 k 为 204、386 $W/(m \cdot ^\circ C)$,空气和二氧化硅的热导率 k 为 0.027、1.04 $W/(m \cdot ^\circ C)$),所以可以认为热量只能沿着互连线方向扩散^[11],忽略热量的辐射和对流.热扩散方程可以进一步简化为

$$\frac{\partial^2 T}{\partial x^2} = -\frac{1}{k_m} \left(\frac{P_g - P_i}{w_m t_m \Delta x} - \frac{Q_{u,1} + Q_{u,2}}{w_m t_m L_i} \right) \quad (2)$$

式中,等式右边括号内第一项表示互连线通过电介质传热后的净热量,第二项表示通过缓冲器、介质传导互连线的热量. P_g 是长度为 Δx 的互连线自身功耗产生的热量, P_i 表示扩散到下层互连层或衬底的热量,具体形式如式(3)和(4)所示:

$$P_g(x) = I_{ms}^2 \Delta R_E(x) \quad (3)$$

$$P_i(x) = \frac{\Delta T_i(x)}{\Delta R_T(x)} \quad (4)$$

式中, $\Delta R_E(x)$ 为 Δx 长度的互连线电阻, I_{ms} 为互连线的有效均方根电流, $\Delta T_i(x)$ 是互连线沿长度方向在 x 处当前层与下层温度差, $\Delta R_T(x)$ 是介质层热电阻,其单位为 K/W .

文献[6]指出,介质是互连线传热的主要热沉.文献[7]中表明,局部互连线的通孔也是一种有效热沉.相对于衬底附近器件的开关活动产生的热量而言,缓冲器自身的热量只是很小的一部分,因此可以认为缓冲器并不会改变衬底温度的分布.热平衡下缓冲器与衬底的温度相同,而互连线的温度要高于衬底,互连线可以通过插入的大量缓冲器向下层传导热量,从而有效降低互连线温度,因此缓冲器也是一种有效热沉.类比于文献[7],考虑通孔效应和缓冲器传热效应时,由通孔和缓冲器向下层扩散的总热量包括 $Q_{u,1}$ 和 $Q_{u,2}$ 两部分: $Q_{u,1}$ 表示由于电介质与缓冲器、通孔的温差的存在并通过二者向下层传导的热量; $Q_{u,2}$ 为互连线在缓冲器、通孔处由于温度梯度的存在向下层传导的热量:

$$Q_{u,1} = \int_0^{L_i} \frac{\theta_i - \Delta T_i(x)}{\lambda_i^2 \Delta R_T(x)} dx \quad (5)$$

$$Q_{u,2} = \int_0^{L_i} c_p \rho_m w_m t_m \left(\frac{\theta_i}{\lambda_i^2} - \Delta T_i(x) \right) dx \quad (6)$$

式中, θ_i/λ_i^2 为忽略通孔效应时的温升, c_p 表示互连线的比热容, ρ_m 是金属材料的密度. 其中 θ_i 和 λ_i^2 分别为

$$\theta_i = \frac{I_{ms,i}^2 \rho}{\omega_{m,i}^2 t_{m,i}^2 k_m}$$

$$\lambda_i^2 = \frac{1}{k_m} \left(\frac{k_{ms,i}^*}{t_{m,i} t_{ms,i}} - \frac{I_{ms,i}^2 \rho \beta}{\omega_{m,i}^2 t_{m,i}^2} \right)$$

式中, $k_{ms,i}^*$ 为介质层有效热导率.

2.1 单层互连线温度分布

使用简化的热扩散方程式(2), 单层互连线的热扩散方程可以写为

$$\frac{d^2 T_{line,j}(x)}{dx^2} = \lambda_i^2 T_{line,j}(x) - \lambda_i^2 T_{sub}(x) - \theta_i^* \quad (7)$$

其中,

$$\theta_i^* = \theta_i \left[1 - \left(\frac{k_{ms,i}^*}{t_{m,i} t_{ms,i}} + c_p \rho_m \right) \times \frac{2 [\cosh \lambda_i (x_B - x_A) - 1]}{\lambda_i^3 (x_B - x_A) k_m \cdot \sinh \lambda_i (x_B - x_A)} \right]$$

衬底温度均匀分布时, 由上面的分析可知, 所有缓冲器温度相同且等于衬底温度, 因此可以得到单层互连线沿长度方向每段的温度分布:

$$T_{line,j}(x) = T_{sub} + \frac{\theta_i^*}{\lambda_i^2} \times \left(1 - \frac{\sinh \lambda_i (x_B - x) + \sinh \lambda_i (x - x_A)}{\sinh \lambda_i (x_B - x_A)} \right) \quad (8)$$

式中, x_A 和 x_B 表示两个缓冲器在互连线中的坐标. 式(8)综合考虑了互连线中缓冲器、通孔和介质的传热作用, 从而该表达式更贴近互连线的实际工作环境.

2.2 多层互连线的温度分布

多层互连线模式下, 上层产生的热量首先传递到当前层, 再扩散到底层直至衬底. 上层互连线传递到第 i 层的热量可以由下式表示^[7]:

$$\Delta Q_i = L_i \omega_{m,i} \left(\sum_{f=i+1}^n J_{ms,f}^2 \cdot t_{m,f} \cdot \rho_f \cdot \frac{\omega_{m,f}}{\omega_{m,f} + d_f} \right) \quad (9)$$

式中, L_i 、 $\omega_{m,i}$ 表示第 i 层互连线的长度和宽度, $J_{ms,f}$ 、 $t_{m,f}$ 、 ρ_f 、 d_f 代表第 f 层互连线的有效均方根电流密度、厚度、金属材料的密度和互连线的间距, n 为互连线的总层数. 根据 $\Delta J_{ms,i}$ 的定义:

$$\Delta J_{ms,i} = \left(\frac{\Delta Q}{\rho_i \cdot L_i \cdot \omega_{m,i} \cdot t_{m,i}} + J_{ms,i}^2 \right)^{\frac{1}{2}} - j_{ms,i} \quad (10)$$

可以得到:

$$\Delta Q_i = [(J_{ms,i} + \Delta J_{ms,i})^2 - J_{ms,i}^2] \times L_i \cdot \omega_{m,i} \cdot t_{m,i} \cdot \rho_i \quad (11)$$

因此可以使用 $\Delta J_{ms,i}$ 来表征上层互连线扩散到当前互连层的热量, 对于多层互连线, 需要使用有效均方根电流密度:

$$J_{ms,eff,i} = J_{ms,i} + \Delta J_{ms,i} \quad (12)$$

式中, $J_{ms,eff,i}$ 表示第 i 层互连线的有效均方根电流密度. 结合式(8)、式(12)可以得到多层互连线每层的温度:

$$T_{i,j}(x) = T_{i-1,j}(x) + \frac{\theta_i^*}{\lambda_i^2} \times \left(1 - \frac{\sinh \lambda_i (x_B - x) + \sinh \lambda_i (x - x_A)}{\sinh \lambda_i (x_A - x_B)} \right) \quad (13)$$

各层互连线温差之和即为顶层互连线与衬底之间的温差:

$$\Delta T(x) = \sum_{i=1}^n \Delta T_i(x) = \sum_{i=1}^n \frac{\theta_i^*}{\lambda_i^2} \times \left(1 - \frac{\sinh \lambda_i (x_B - x) + \sinh \lambda_i (x - x_A)}{\sinh \lambda_i (x_B - x_A)} \right) \quad (14)$$

式中, $\Delta T(x)$ 表示顶层互连线与衬底相应位置的温差, 积分后可以求得顶层互连线的平均温度.

3 缓冲器插入位置对温度的影响

文献[12]中假设驱动器、缓冲器和负载尺寸相同, 即有相同的输出电阻 R_d 和输入电容 C_L , 基于上述条件, 得到延时最小的互连线分割长度 l_{opt} 和缓冲器尺寸 S_{opt} :

$$l_{opt} = \sqrt{\frac{r_0 c_0 \left(1 + \frac{c_p}{c} \right)}{rc}}$$

$$S_{opt} = \sqrt{\frac{r_0 c}{rc_0}} \quad (15)$$

式中, r_0 、 c_0 、 c_p 、 r 和 c 分别是最小尺寸缓冲器输出电阻、输入电容、输出电容、互连线单位长度电阻和单位长度电容. 如果假设沿互连线长度方向 r 和 c 不变, 基于式(15), 文献[13]给出了最优缓冲器个数

$$k = -0.5 + \sqrt{1 + \frac{2rcL_i^2}{R_d(C_L + C_p)}} \quad (16)$$

式中, R_d 、 C_L 和 C_p 分别是缓冲器的输出电阻、输入电容和结电容. 此时缓冲器间的距离为 $L/(k+1)$.

上面的计算中假设 r 和 r_0 恒定不变, 缓冲器输出电阻是衬底温度的函数, 因此驱动器电阻可以表示为

$$R_d(x) = R_{d0} (1 + \beta_c T_{sub}(x)) \quad (17)$$

其中 R_{d0} 表示缓冲器在参考温度下的电阻, β_c 为缓冲器电阻的温度系数 ($1/^\circ\text{C}$), $T_{sub}(x)$ 是衬底随位置变化的温度分布. 互连线的电阻与温度呈线性关系, 可以写为^[14-15]:

$$R_E(x) = R_0(1 + \beta \cdot \Delta T(x)) \quad (18)$$

式中, R_0 是参考温度下的单位长度电阻, β 是电阻的温度系数 ($1/^\circ\text{C}$). 因此衬底温度变化会影响信号传输延迟.

使用分布式 RC 模型, 长度为 L_i 的互连线插入 k 个缓冲器后的延时公式为

$$D = \sum_{i=1}^{k+1} \left(\int_{x_{i-1}}^{x_i} r(\tau)(c(x_i - \tau) + C_L) d\tau \right) +$$

$$\begin{cases} \int_0^{x_1} r(t)dt + (x_1 - x_2)r(x_1) + \left(x_2 - x_1 + \frac{C_L + C_P}{c}\right) \frac{\partial R_d(x_1)}{\partial x_1} + R_d(x_0) - R_d(x_1) = 0 \\ \int_{x_1}^{x_2} r(t)dt + (x_2 - x_3)r(x_2) + \left(x_3 - x_2 + \frac{C_L + C_P}{c}\right) \frac{\partial R_d(x_2)}{\partial x_2} + R_d(x_1) - R_d(x_2) = 0 \\ \dots\dots \\ \int_{x_{k-1}}^{x_k} r(t)dt + (x_k - x_{k+1})r(x_k) + \left(x_{k+1} - x_k + \frac{C_L + C_P}{c}\right) \frac{\partial R_B(x_k)}{\partial x_k} + R_B(x_{k-1}) - R_B(x_k) = 0 \end{cases} \quad (20)$$

4 仿真结果及分析

表 1 所示为使用 ITRS^[16] 45 nm 铜互连工艺并参考文献[17-18]选定的参数. 实验中互连线允许的最大均方根电流为 5.15×10^6 A/cm², 并假设单层互连线下的衬底温度均匀. 由图 2 可以看出, 互连线整体稳定在最高温度, 互连线与衬底的温差最高为 6.3°C . 在缓冲器插入位置附近, 互连线温度下降, 直到与衬底温度相同. 因此通过合理安排缓冲器插入个数, 既可以减小互连线延时, 又可以有效传导互连线热量, 降低互连线最高温度, 进一步减小信号的传播延时.

表 1 45 nm 工艺互连参数

	t_m/nm	t_{ins}/nm	w_m/nm	$\rho_t/\Omega\text{m}$	$\beta/^\circ\text{C}^{-1}$
参数	320	2 900	180	1.6×10^{-8}	4.3×10^{-3}

实际电路中, 由于设计以及器件放置位置的不同, 衬底温度并不是处处相同的. 图 3 为衬底温度梯度分布时的互连线温度分布图. 从图 3 可以看出, 互连线整体温度是逐渐上升的, 在缓冲器的插入位置, 由于缓冲器对互连线热量的传导作用, 互连线温度会下降到与衬底相同的温度.

为了分析缓冲器传热效应对互连线温度和时序的影响, 使用表 1 参数计算了考虑缓冲器与忽略缓

$$\sum_{i=1}^{k+1} R_d(x_{i-1})(c(x_i - x_{i-1}) + C_L + C_P) \quad (19)$$

式中, $x_1, x_2, \dots, x_k$ 为 k 个缓冲器在互连线上的坐标, x_0, x_{k+1} 分别等于 0 和 L_i , r, c 为单位长度互连线电阻和电容. c 可以认为不随温度变化, 而 r 是温度的线性函数. $R_d(x)$ 为驱动器或缓冲器随衬底温度变化的电阻. 等号右边第一项为互连线线延时, 第二项是缓冲器产生的器件延时. 由于式(19)是凸函数, 通过解偏微分方程, 可以得到使延时最小的 k 个点的位置, 方程的其一般形式为

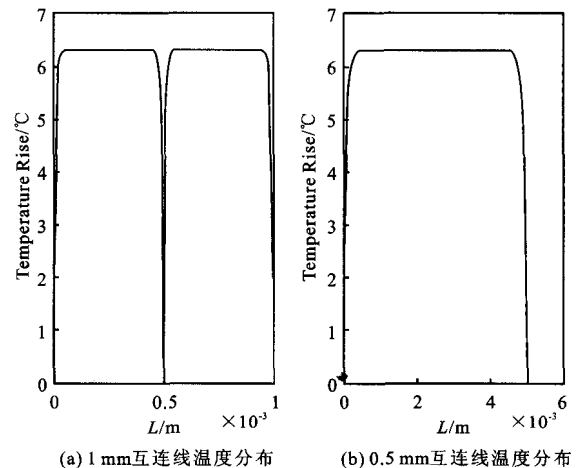


图 2 均匀衬底互连线温度分布

冲器时单层互连线的最高温度、平均温度以及优化的互连线最小延时, 具体结果如表 2 所示. 从表 2 中可以看出, 两种情况下, 互连线最高温度基本相同. 考虑缓冲器的作用时, 互连线的平均温度和最小延时明显低于忽略缓冲器传热作用的结果.

实际 ULSI 中有多层互连线, 其中的全局互连线温度很高, 会引起很大的延迟, 这时需要插入大量的缓冲器, 如果忽略缓冲器对互连线温度的传导作用, 在计算全局互连线的平均温度时, 会造成很大的误差. 为了说明缓冲器传热对整个互连线温度的影响, 并合理地假设 9 层互连线的长度分别为

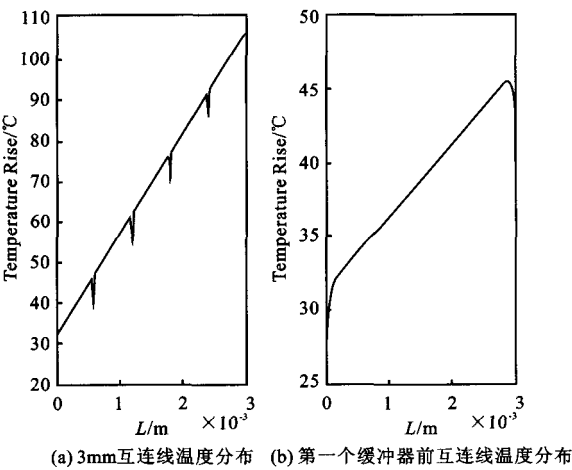


图3 衬底梯度分布互连线温度分布

100、200、500、1 000、2 000、3 000、4 000、5 000 和 6 000 μm ,其他相关参数参考文献[7],具体如表3所示.图4所示为三种模型的多层互连线温度分布,从中可以看出,顶层互连线温度最高,考虑缓冲器的传热作用后,第9层互连线的温度比忽略缓冲器传热作用的温度模型相比要低大约 10°C ;考虑两端通孔和介质传热效应的互连线各层平均温度与只考虑介质传热的对应层温度基本相同.

表2 不同尺寸下的互连线最高温度、平均温度及优化延时

	L_i/mm	N	$T_{\max}/^{\circ}\text{C}$	$T_{\text{avg}}/^{\circ}\text{C}$	$D_{\min}/\text{ns}$
无缓冲器传热	3	0	106.5	106.4	0.284
	5	0	106.5	106.5	0.620
	9	0	106.5	106.5	1.676
	15	0	106.5	106.5	4.219
考虑缓冲器传热	3	4	106.3	104.9	0.266
	5	7	106.3	105.4	0.529
	9	13	106.3	105.7	1.099
	15	22	106.3	105.9	2.253

表3 仿真所用的互连线参数

类型	宽度/ nm	厚度/ nm	间距/ nm	介质/ nm
局部	120	260	120	290
中等	240	550	240	290
全局	430	700	430	290

通过式(16)能够得到衬底温度均匀分布、均匀插入缓冲器时的最优个数.但在衬底温度梯度分布时,均匀插入缓冲器并不能得到最优的延时.通过式(20)可以得到在衬底温度梯度分布时,延时最小缓冲器插入的位置,仿真所用参数如表4所示.

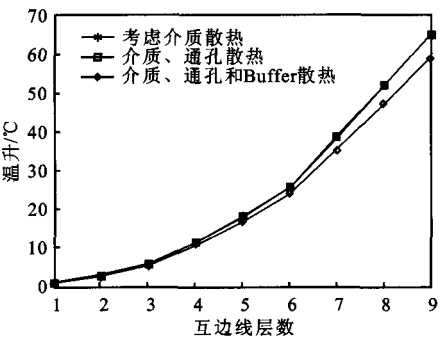


图4 多层互连线的温度分布

表4 仿真所用的重要参数

$\beta/^{\circ}\text{C}^{-1}$	c/pf	c_p/ff	$r_0/\text{k}\Omega$	c_0/ff
45 nm	4×10^{-3}	180	0.6	13.56
				0.9

假设单层互连线线长为 1.5 mm ,衬底温度梯度变化幅度为 5°C ,插入一个缓冲器时,在时序最小驱动下,分析温度梯度分布对缓冲器插入位置的影响.从图5可以看出,只考虑线电阻随温度的变化时,缓冲器会向温度较高的方向移动以降低温度对延时的影响;只考虑缓冲器电阻随温度变化时,由于缓冲器电阻受温度影响比线电阻程度大,温度升高使缓冲器电阻迅速增大,为了减小延时,缓冲器会向温度较低的方向移动.综合考虑线电阻和缓冲器电阻随温度的变化情况时,缓冲器插入位置理论上应该位于图5中(b)和(c)两种情况中间的某个位置,图5(d)也证实了这一点.

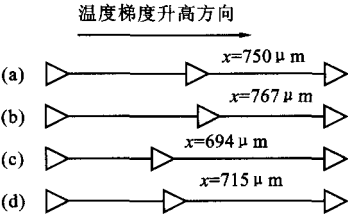


图5 $1\,500\,\mu\text{m}$ 互连线中缓冲器插入的位置

(a) 线电阻和缓冲器电阻不随温度变化;(b) 线电阻随温度变化;(c) 缓冲器电阻随温度变化;(d) 线电阻和缓冲器电阻都随温度变化

当单层互连线较长时需要插入大量的缓冲器.这种情况下计算了 3 mm 线长、衬底温度变化范围为 $25\sim 55^{\circ}\text{C}$ 的单层互连线上的缓冲器的位置.由表5可以看出,均匀插入和位置优化下缓冲器的插入位置偏差超过 13% ,延时偏差超过 7% .因此衬底

表5 互连线上缓冲器的位置以及延时

衬底	x_1/nm	x_2/nm	x_3/nm	x_4/nm	D/ns
均匀	600	1 200	1 800	2 400	0.257
梯度	546	1 120	1 720	2 350	0.238
变化率	9.0%	13.3%	13.3%	8.3%	7.4%

温度不均匀时,对缓冲器位置的优化能有效改善互连延时。

5 结束语

文中提出了考虑介质、通孔和缓冲器传热效应的温度分布模型,并给出了互连线温度的解析表达式。与只考虑介质和通孔的模型相比,缓冲器传热能够明显降低互连线的温度。利用考虑缓冲器传热效应的温度表达式优化插入缓冲器的位置并优化互连延时,考虑介质、通孔和缓冲器传热效应的温度模型应用到互连线温度估计以及延时分析中,能够显著提高分析精度。

参考文献:

- [1] Zhou Guofei, Jin Depeng, Zeng Lieguang. Improved delay estimation method for RLC interconnects [J]. Journal of Tsinghua University, 2008, 48(1): 46-50.
- [2] Quming Zhou, Kartik Mohanram. Elmore model for energy estimation in RC trees [C] // 43rd ACM/IEEE Design Automation Conference. San Francisco, USA: ACM Press, 2006: 965-970.
- [3] Labun A. Rapid detailed temperature estimation for highly coupled IC interconnect [J]. Computer-Aided Design of Integrated Circuits and Systems, 2008, 27(10): 1840-1851.
- [4] Chiang T Y, Banerjee K, Saraswat K C. Effect of via separation and low-k dielectric materials on the thermal characteristics of Cu interconnects [C] // International Electron Devices Meeting 2000. San Francisco, USA: IEDM Press, 2000: 261-264.
- [5] Banerjee K, Amerasekera A. The effect of interconnect scaling and low-k dielectric on the thermal characteristics of the IC metal [C] // International Electron Devices Meeting 1996. San Francisco, USA: IEDM Press, 1996: 65-68.
- [6] Amir H Ajami, Kaustav Banerjee, Massoud Pedram. Modeling and analysis of nonuniform substrate temperature effects on global ULSI interconnects [J]. IEEE trans. on Computer-Aided Design of Integrated Circuits and Systems, 2005, 24(6): 849-861.
- [7] 朱樟明, 郝报田, 钱利波, 等. 考虑通孔效应和边缘传热效应的纳米级互连线温度分布模型 [J]. 物理学报, 2009, 58(10): 7130-7135.
- [8] Banerjee K, Wu G, Igeta M, et al. Investigation of self-heating phenomenon in small geometry vias using scanning Joule expansion microscopy [C] // Proc. IR-PS. San Diego, USA: IEEE Press, 1999: 297-302.
- [9] Chiang Tingyen, Kaustav Banerjee, Krishna C Saraswat. Effect of via separation and low-k dielectric materials on the thermal characteristics of Cu interconnects [C] // International Electron Devices Meeting 2000. San Francisco, USA: IEDM Press, 2000: 261-264.
- [10] Chapman A J. Fundamentals of heat transfer [M]. 4th ed. USA, New York: Macmillan Cou Div, 1984.
- [11] Schafft H A. Thermal analysis of electromigration test structures [J]. IEEE trans. on Electron Device, 1987, 34(3): 664-672.
- [12] Otten R H J M, Brayton R K. Planning for performance [C] // 35th DAC. San Francisco, USA: ACM Press, 1998: 122-127.
- [13] Alpert C, Devgan A. Wire segmenting for improved buffer insertion [C] // 34th DAC. California, USA: ACM Press, 1997: 588-593.
- [14] Yang E S. Microelectronic devices [M]. New York, USA: McGraw-Hill Inc., 1988.
- [15] ZarkeshHa P, Mule T, Meindl J D. Characterization and modeling of clock skew with process variation [C] // Proceeding of the IEEE 1999 Custom Integrated Circuits Conf. San Diego, CA, USA: IEEE Press, 1999: 441-444.
- [16] ITRS. International technology roadmap for semiconductors [EB/OL]. [2013-11-08]. <http://www.itrs.net>. 2012.
- [17] Sunil P Khatri, Amit Mehrotra, Robert K Brayton, et al. A novel VLSI layout fabric for deep sub-micron applications [C] // ACM Des Autom Conf. New Orleans, Louisiana, USA: ACM Press, 1999: 491-496.
- [18] Dennis Sylvester, Kurt Keutzer. A global wiring paradigm for deep submicron design [J]. IEEE Transactions on Computer Aided Design of Integrated Circuits and Systems, 2000, 19(2): 242-252.

作者简介:

王新胜 男, (1978—), 博士, 讲师. 研究方向为大规模集成电路设计与优化。

韩良 男, (1969—), 博士, 副教授. 研究方向为模拟集成电路设计。

刘海龙 男, (1988—), 硕士. 研究方向为数字集成电路设计。

喻明艳 男, (1965—), 硕士, 教授. 研究方向为大规模集成电路及新型 CPU 体系结构。